

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-187062 ✓

(P2000-187062A)

(43) 公開日 平成12年7月4日(2000.7.4)

| (51) Int.Cl. <sup>7</sup> | 識別記号  | F I           | テマコード(参考) |
|---------------------------|-------|---------------|-----------|
| G 0 1 R 31/28             |       | G 0 1 R 31/28 | H         |
| G 0 6 F 11/22             | 3 3 0 | G 0 6 F 11/22 | 3 3 0 B   |
| H 0 1 L 21/66             |       | H 0 1 L 21/66 | W         |

審査請求 有 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願平10-365553 ✓

(22) 出願日 平成10年12月22日(1998. 12. 22)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 田中 幹大

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 杉本 正明

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100108578

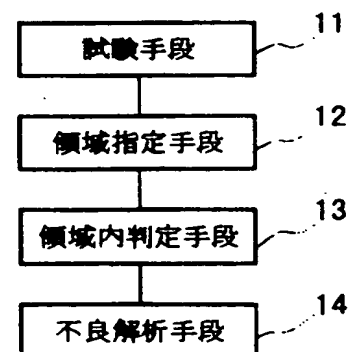
弁理士 高橋 昭男 (外3名)

(54) 【発明の名称】 L S I 不良解析装置及び方法

(57) 【要約】

【課題】 L S I に対する不良解析処理時間を短縮すると共に、メモリの大容量化、ウエハの大口径化に伴うデータ量の増大に対応した不良解析を可能にする。

【解決手段】 L S I チップを試験する試験手段と、L S I チップの試験結果について不良個所の解析対象領域を指定する領域指定手段と、解析対象領域内に不良個所があるか否かを判定する領域内判定手段と、解析対象領域内にある不良個所について不良解析を行なう不良解析手段とを具備する。



## 【特許請求の範囲】

【請求項1】 LSIチップを試験する試験手段（1）と、

LSIチップの試験結果について不良個所の解析対象領域を指定する領域指定手段（12）と、  
前記解析対象領域内に不良個所があるか否かを判定する領域内判定手段（13）と、  
前記解析対象領域内にある不良個所について不良解析を行なう不良解析手段（14）と、  
を具備することを特徴とするLSI不良解析装置。

【請求項2】 LSIチップを試験する試験手段（1）と、

LSIチップの試験結果を複数の分割領域に分割し、各々の分割領域を不良個所の解析対象領域を指定する領域分割手段（21）と、  
前記解析対象領域内に不良個所があるか否かを判定する領域内判定手段（13）と、  
前記各分割領域について解析対象領域内にある不良個所について不良解析を行なう不良解析手段（14）と、  
を具備することを特徴とするLSI不良解析装置。

【請求項3】 LSIチップを試験して得られた不良個所の不良数の最大値を不良数しきい値として設定する不良数しきい値設定手段（41）と、

LSIチップの試験結果を分割する際の分割形状を設定する分割形状設定手段（42）と、

LSIチップの試験結果について解析対象領域を指定する領域指定手段（12）と、

前記解析対象領域内に不良個所があるか否かを判定する領域内判定手段（13）と、

前記解析対象領域内の不良数をカウントする不良数カウント手段（43）と、

該不良数カウント手段（43）による不良数が前記不良数しきい値を越えている場合には、前記分割形状に基づいてLSIチップを複数の分割領域に分割する領域再分割手段（44）と、

前記解析対象領域内にある不良個所について不良解析を行なう不良解析手段（14）とを具備し、

不良個所の不良数が不良数しきい値を越えないようにLSIチップの試験結果を複数の分割領域に分割し、各分割領域について不良解析を行なうことを特徴とするLSI不良解析装置。

【請求項4】 不良箇所の分布傾向が同一な複数のLSIチップの不良を解析するLSI不良解析装置であって、

LSIチップの試験結果について不良解析対象領域に指定する領域指定手段（12）と、

前記不良解析対象領域を不良解析する不良解析手段（14）と、

不良箇所の分布に基づいてLSIチップの試験結果を分割する際の分割形状を設定する分割形状設定手段（5

1）と、

前記分布と分割形状に基づいて周期性の不良箇所が含まれないようにLSIチップの試験結果を複数の分割領域に分割する領域再分割手段（52）と、

各分割領域における不良箇所の分布を比較する不良分布比較手段（54）とを備え、

あるLSIチップの各分割領域における不良箇所の分布の比較結果に基づいて分布傾向が同一な分割領域がある場合には、次のLSIチップの不良解析に際して、前記分布傾向が同一な分割領域のうち何れかを代表させて解析対象領域とすることを特徴とするLSI不良解析装置。

【請求項5】 LSIチップの試験結果について不良箇所の解析対象領域を限定し、該解析対象領域内にある不良箇所について不良解析を行なうことを特徴とするLSI不良解析方法。

【請求項6】 LSIチップの試験結果を複数の分割領域に分割し、各々の分割領域に不良箇所の解析対象領域を指定して不良解析を行なうことを特徴とするLSI不良解析方法。

【請求項7】 LSIチップの試験によって得られた不良箇所が所定の不良数しきい値を越えないようにLSIチップの試験結果を分割し、各々の分割領域に不良箇所の解析対象領域を指定して不良解析を行なうことを特徴とするLSI不良解析方法。

【請求項8】 LSIチップの試験によって得られた不良箇所の分布傾向が同一な複数のLSIチップの試験結果の不良を解析する方法であって、

あるLSIチップの試験結果を複数の分割領域に分割し、該各分割領域について不良箇所の解析を行って各分割領域における不良箇所の分布を検出し、

同一の分布を有する分割領域については何れか1つの分割領域を代表領域に設定し、

次のLSIチップの試験結果について不良解析を行う際には、前記代表領域と不良箇所の分布が異なる分割領域について不良箇所の解析を行うことを特徴とするLSI不良解析方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、LSIの不良解析装置及び方法に係わり、特にメモリLSIの不良解析装置及び方法に関する。

【0002】

【従来の技術】 従来のLSI不良解析装置としては、例えば米国のKLA-Tencor社製やInspex社製のものが有名であるが、これらの装置で解析可能なのは、ウエハ1枚あたりの不良数が数万個程度の場合である。また、不良原因解明および歩留まり向上を目的とするメモリLSI不良解析装置としては、特開平7-72206号公報があり、これはプロセス技術者と回路技術者とレイアウト技

術者のノウハウをパーソナルコンピュータ（以下、P C）上に実装したエキスパートシステムである。さらに、半導体不良解析システムとして、特開平7-221156号公報、特開平8-124977号公報等があり、これらは、フェイルビット解析を高速かつ高精度に行なうシステムである。

#### 【0003】

【発明が解決しようとする課題】 上述したような従来の不良解析装置には、解析可能な不良数の上限が低いという問題点がある。すなわち、解析時間に長時間を要するため1日あたりに解析可能な不良数が少ないという問題である。十分な解析ができないことは不良原因の発見の遅れにつながり、製造歩留まりを低下させてしまう恐れがある。従来の不良解析装置で想定されているダイナミックランダムアクセスメモリ（以下、DRAM）の容量は16メガビットあるいは64メガビットであり、また1ウエハ上に作製されるDRAMのチップ数は数百程度であり、ウエハの直径は200mmである。

【0004】 仮に、不良濃度が10ppm、すなわち素子100万個中10個が不良だったとした場合、不良数はウエハ1枚あたり10万個を越えてしまうことになり、従来の装置では十分な解析ができない。しかも、近年メモリの大容量化、および高密度化のスピードはますます増加傾向にあり、今後は256メガビット以上のDRAMの不良解析に対応していく必要がある。加えて、ウエハサイズも300mmに大口径化していくことは確実であり、その場合、解析すべき不良数の数は相乗的に増加することになる。

【0005】 容量が4倍、ウエハサイズの大口径化によりチップ数が2.5倍になると仮定した場合、不良数は10倍になる。このままでは、解析可能なウエハ数が従来の1/10以下になり、従来の発明では十分な不良解析ができない。なお、特開平7-221156号公報、特開平8-124977号公報の発明においては、本発明と類似の領域分割の処理を行なっているが、これは、装置異常など領域性のある不良を特定するためのもので、本発明のような解析時間短縮の効果はない。

【0006】 本発明は、上述する問題点に鑑みてなされたもので、LSIに対する不良解析処理時間を短縮すると共に、メモリの大容量化、ウエハの大口径化に伴うデータ量の増大に対応した不良解析を可能にすることを目的としている。

#### 【0007】

【課題を解決するための手段】 上記目的を達成するために、本発明では、LSIの不良解析装置に係わる第1の手段として、LSIチップを試験する試験手段と、LSIチップの試験結果について不良個所の解析対象領域を指定する領域指定手段と、解析対象領域内に不良個所があるか否かを判定する領域内判定手段と、解析対象領域内にある不良個所について不良解析を行なう不良解析手

段とを具備する手段を採用する。

【0008】 また、第2の手段として、LSIチップを試験する試験手段と、LSIチップの試験結果を複数の分割領域に分割し、各々の分割領域を不良個所の解析対象領域を指定する領域分割手段と、解析対象領域内に不良個所があるか否かを判定する領域内判定手段と、各分割領域について解析対象領域内にある不良個所について不良解析を行なう不良解析手段とを具備する手段を採用する。

10 【0009】 第3の手段として、LSIチップを試験して得られた不良個所の不良数の最大値を不良数しきい値として設定する不良数しきい値設定手段と、LSIチップの試験結果を分割する際の分割形状を設定する分割形状設定手段と、LSIチップの試験結果について解析対象領域を指定する領域指定手段と、解析対象領域内に不良個所があるか否かを判定する領域内判定手段と、解析対象領域内の不良数をカウントする不良数カウント手段と、該不良数カウント手段による不良数が前記不良数しきい値を越えている場合には、前記分割形状に基づいてLSIチップを複数の分割領域に分割する領域再分割手段と、解析対象領域内にある不良個所について不良解析を行なう不良解析手段とを具備し、不良個所の不良数が不良数しきい値を越えないようにLSIチップの試験結果を複数の分割領域に分割し、各分割領域について不良解析を行なうという手段を採用する。

20 【0010】 第4の手段として、不良箇所の分布傾向が同一な複数のLSIチップの不良を解析するLSI不良解析装置において、LSIチップの試験結果について不良解析対象領域に指定する領域指定手段と、不良解析対象領域を不良解析する不良解析手段と、不良箇所の分布に基づいてLSIチップの試験結果を分割する際の分割形状を設定する分割形状設定手段と、分布と分割形状に基づいて周期性の不良箇所が含まれないようにLSIチップの試験結果を複数の分割領域に分割する領域再分割手段と、各分割領域における不良箇所の分布を比較する不良分布比較手段とを備え、あるLSIチップの各分割領域における不良箇所の分布の比較結果に基づいて分布傾向が同一な分割領域がある場合には、次のLSIチップの不良解析に際して、分布傾向が同一な分割領域のうち何れかを代表させて解析対象領域とするという手段を採用する。

30 【0011】 さらに、本発明では、LSI不良解析方法に係わる第1の手段として、LSIチップの試験結果について不良個所の解析対象領域を限定し、該解析対象領域内にある不良個所について不良解析を行なうという手段を採用する。

40 【0012】 第2の手段として、LSIチップの試験結果を複数の分割領域に分割し、各々の分割領域に不良個所の解析対象領域を指定して不良解析を行なうという手段を採用する。

【0013】第3の手段として、LSIチップの試験によって得られた不良個所が所定の不良数しきい値を越えないようにLSIチップの試験結果を分割し、各々の分割領域に不良個所の解析対象領域を指定して不良解析を行なうという手段を採用する。

【0014】第4の手段として、LSIチップの試験によって得られた不良箇所の分布傾向が同一な複数のLSIチップの試験結果の不良を解析する方法において、あるLSIチップの試験結果を複数の分割領域に分割し、該各分割領域について不良個所の解析を行って各分割領域における不良箇所の分布を検出し、同一の分布を有する分割領域については何れか1つの分割領域を代表領域に設定し、次のLSIチップの試験結果について不良解析を行う際には、前記代表領域と不良箇所の分布が異なる分割領域について不良箇所の解析を行うという手段を採用する。

【0015】

【発明の実施の形態】以下、図面を参照して、本発明に係わるLSIの不良解析装置及び方法の実施形態について説明する。なお、以下に説明する各実施形態は、LSIの1つであるメモリLSIの不良解析に関するものである。

【0016】〔第1実施形態〕最初に、図1～図6を参照して、本発明の第1実施形態について説明する。図1は、本実施形態におけるLSI不良解析装置の機能構成を示すブロック図である。この図に示すように、本LSI不良解析装置は、試験手段11、領域指定手段12、領域内判定手段13及び不良解析手段14から構成される。

【0017】試験手段11は、解析対象であるメモリLSIに対して電気的な試験を行ない、その試験結果をビットマップデータとして自らに備えられた記憶装置に記憶させるものである。

【0018】領域指定手段12は、上記試験手段11に記憶されたビットマップデータ（試験結果）を解析するに当たり、メモリLSIチップの領域（解析範囲）を指定するものである。具体的には、図2に示すように、解析範囲としてx座標の下限x1と上限x2、y座標の下限y1と上限y2を設定することにより、メモリLSIチップ上の限定された矩形領域Xを指定する。

【0019】領域内判定手段13は、ビットマップデータ中の各不良ビットが上記領域指定手段12によって指定された解析範囲内にあるか否かを判定するものである。具体的には、領域内判定手段13は、不良ビットのxアドレスが領域指定手段12によって設定された上記下限x1と上限x2との間にあり、かつ、yアドレスが下限y1と上限y2の間にある場合、当該不良ビットは解析対象領域内に含まれると判定する。

【0020】不良解析手段14は、このような領域内判定手段13によって指定領域内にあると判定された不良

ビットについて、詳細な不良解析を行なうものである。

【0021】このように、ビットマップデータについて限定された矩形領域Xを解析範囲とすることにより、解析対象となる不良ビットの数を減らすことができるので、解析時間を短縮することができる。

【0022】〔第2実施形態〕次に、第2実施形態について、図3及び図4を参照して説明する。なお、以下の説明において、上記第1実施形態と同一の構成要素については同一符号を付して説明を省略する。

10 【0023】図3は、本実施形態におけるLSI不良解析装置のブロック図であるが、上記第1実施形態との相違点は、領域指定手段12に代えて領域分割手段21を備えている点である。この領域分割手段21は、ビットマップデータを複数の領域に分割すると共に、この分割数に応じた領域指定手段12を具備するものである。例えば、領域分割手段21は、図4に示すようにメモリLSIの全チップ領域(x, y) = (0, 0) ~ (1023, 1023)を縦2分割、横2分割することによって4分割する。

20 【0024】領域分割手段21は、自らに備えられた各領域指定手段12を上記各分割領域にそれぞれ割り当てる。各領域指定手段12は、自らに割り当てられた分割領域を解析範囲に指定する。

【0025】具体的には、領域分割手段21は、第1の領域指定手段12によって分割領域(0, 0 ~ 511, 511)を解析範囲に指定し、第2の領域指定手段12によって分割領域(0, 512 ~ 511, 1023)を解析範囲に指定し、第3の領域指定手段12によって分割領域(512, 0 ~ 1023, 511)を解析範囲に指定し、さらに第4の領域指定手段12によって分割領域(512, 512 ~ 1023, 1023)を解析範囲に指定する。

40 【0026】図5は、メモリLSIの全ての不良ビットについて解析する際に、上述したように全チップ領域を領域分割した場合と領域分割しない場合とを比較した図である。例えば、不良ビット間の相関等について解析しようとした場合、図5のように解析対象領域を分割して各分割領域毎に解析することにより、当該分割領域内の不良ビットだけが解析対象になるので、解析を行なう不良ビットの組合せ数を減らすことができ、解析時間の大幅な短縮を実現することができる。

【0027】このような効果について、一例として不良ビットが全領域にわたって均一に分布するビットマップデータを解析する場合について説明する。なお、不良ビットの不良数を4N個、分割領域を図4に示した格子状4分割とする。この場合、不良分布が均一なので、各分割領域内の不良数はそれぞれN個となる。

【0028】不良ビット間の相関等について解析する場合、解析時間は不良ビットの総組合せ数に比例する。したがって、領域分割をしない場合の解析時間Tは下式

(1) によって与えられ、領域分割をした場合の解析時間  $T'$  は下式 (2) によって与えられる。なお、 $C$  は定数 \* 数である。

$$T = C \cdot 4N(4N-1) / 2 = 2C \cdot N(4N-1) \quad (1)$$

$$T' = 4 \cdot C \cdot N(N-1) / 2 = 2C \cdot N(N-1) \quad (2)$$

【0029】すなわち、領域分割の効果は、上記式 (1), (2) に比として下式 (3) のように表され、※ ※ $N$  が十分大きい場合には4とみなすことができる。

$$\begin{aligned} T/T' &= 2C \cdot N(4N-1) / 2C \cdot N(N-1) \\ &= (4N-1) / (N-1) \\ &\approx 4 \end{aligned} \quad (3)$$

【0030】この解析時間の短縮効果は、分割数に依存することが明白である。領域を  $m$  等分して分割解析することにより、 $m$  倍の解析時間の短縮効果が得られ、分割数に比例した解析時間の短縮が可能となる。

【0031】〔第3実施形態〕次に、本発明の第3実施形態について、図6～図9を参照して説明する。なお、以下の説明において、上記第1, 2実施形態と同一の構成要素については同一符号を付して説明を省略する。

【0032】図6は、本実施形態におけるLSI不良解析装置のブロック図である。この図に示すように、本LSI不良解析装置は、不良数しきい値設定手段41、分割形状設定手段42、不良数カウント手段43、領域再分割手段44、及び上述した領域指定手段12、領域内判定手段13、不良解析手段14から構成されている。

【0033】以下、このように構成されたLSI不良解析装置の動作について、図7に示すフローチャートに沿って説明する。まず、不良数しきい値設定手段41は、解析する不良数の最大値を不良数しきい値として設定する(ステップS11)。続いて、分割形状設定手段42は、領域再分割の際の分割形状を縦方向と横方向の分割数で設定する(ステップS12)。例えば、図4に示したように格子状に4分割(縦に2分割、横に2分割)する場合には、分割数を(2, 2)と指定する。

【0034】領域指定手段12及び領域内判定手段13は、上記第1, 2実施形態の場合と同様である。すなわち、解析対象領域を  $x$  座標、 $y$  座標のそれぞれの上限・下限によって指定し(ステップS13)、ビットマップデータを読み込んで各不良ビットについて指定領域内にあるか否かを判定する(ステップS14)。そして、不良数カウント手段43は、このステップS14の処理において、指定領域内と判定された不良ビットの不良数を計数し(ステップS15)、その不良数がステップS11において設定された不良数しきい値を越えているか否かを判定する(ステップS16)。

【0035】その結果、不良ビットの不良数が不良数しきい値を越えていた場合、領域再分割手段44は解析対象領域を再分割する(ステップS17)。このときの分割形状は、ステップS12の処理において設定した形状に従うものである。この解析対象領域を再分割処理では、例えば図8に示すように処理が行われる。

【0036】すなわち、チップ全領域Aについて不良数

をカウントし、このチップ領域A内の不良ビットの不良数が上記不良数しきい値を越えていた場合には、分割形状(格子状4分割)に基づいてチップ全領域Aは4つの分割領域B、C、D、Eに分割される。そして、新たな分割領域Bについて不良数をカウントし、分割領域B内の不良数が不良数しきい値以下である場合には、分割領域Bについては再分割は行なわない。

【0037】さらに、領域再分割手段44は、分割領域Cについても不良ビットの不良数をカウントし、分割領域C内の不良数が不良数しきい値を越えている場合には、図示するように当該分割領域Cをさらに格子状に4分割する。以下、同様に各分割領域D、Eの再分割を行ない、すべての分割領域内の不良ビットの不良数が不良数しきい値設定手段41によって設定された不良数しきい値以下となるようにする。

【0038】領域指定手段12は、このような再分割処理の結果生成された分割領域について新たに領域指定を行ない(ステップS13)、上記処理を繰り返す。

【0039】一方、ステップS16において不良数が不良数しきい値を越えていないと判断された場合、不良解析手段14は各分割領域の不良解析を行なう(ステップS18)。一領域の不良解析が終了したら、ほかに未解析の領域がないかを確認し(ステップS19)、未解析の分割領域がある場合には、当該分割領域を新たに解析対象領域として指定して(ステップS13)、上記処理を繰り返す。このようにして全ての分割領域について不良ビットの不良解析が終了すると、装置全体の動作を終了する。

【0040】このように各分割領域の不良ビットの不良数が不良数しきい値設定手段41によって設定された不良数しきい値よりも小さくなるように動的に処理することにより、図9に示すように、不良ビットの密度の高いところはより小さい分割領域に、不良ビットの密度の低いところはより大きい分割領域となり、各解析対象領域内の不良ビットの不良数の均一化を図ることができる。

【0041】〔第4実施形態〕次に、本発明の第4実施形態について、図10～図12を参照して説明する。本実施形態は、試験条件が段階的に厳しくなる場合、あるいは製造条件を最適値から段階的にずらして行くといった場合に、不良ビットの分布傾向は同一であるが不良数が段階的に増加している複数のビットマップデータを解

析する際に、領域分割した後、さらに分布傾向が類似の分割領域については解析対象から除外することで、トータル的な解析時間の短縮を図るものである。

【0042】図10は本実施形態のブロック図である。この図に示すように、本LSI不良解析装置は、分割形状設定手段51、領域再分割手段52、不良分布比較手段54、及び上述した領域指定手段12と不良解析手段14とから構成されている。

【0043】図11は、このように構成された本LSI不良解析装置の動作を示すフローチャートである。ここでは、不良ビットの密度の低いビットマップデータ（すなわちLSIチップ）から順次処理することを想定している。

【0044】まず、領域指定手段12によって、解析対象となる複数のビットマップデータのうち、不良ビットの密度が一番低いビットマップデータを基準領域（基準解析対象領域）に指定し、不良解析手段14によって、この基準解析対象領域について不良解析を行なう（ステップS101）。この解析結果により不良ビットの分布傾向が明らかになるので、分割形状設定手段51は、この分布傾向に基づいてビットマップデータの領域分割を行なう際の分割形状の設定を行なう（ステップS102）。

【0045】例えば、分割形状設定手段51は、周期Fの周期性不良が含まれていた場合には、分割後の各分割領域のサイズが周期F以上となるように分割形状を設定する。そして、領域再分割手段52は、分割形状設定手段51によって設定された分割形状に基づいてビットマップデータの分割を行い（ステップS103）、さらに不良解析手段14によって各分割領域毎に不良解析を行なう（ステップS104）。すなわち、不良解析手段53は、同一のビットマップデータについて、分割しない場合と分割した場合とについて2回不良解析を行なう。

【0046】このような2つの解析結果に対して、不良分布比較手段54は、上記各分割領域毎に解析結果の比較を行う（ステップS105）。この比較の結果、複数の分割領域について不良分布の傾向が同一であると判定された場合、これ以降の処理については、そのうちの1領域（代表領域）によって代表させることができる。すなわち、同一の不良分布の分割領域については、代表領域のみを解析対象とし、かつ不良分布の異なる分割領域を解析対象とすれば良い。したがって、領域指定手段12は、このように不良分布に基づいて選定された分割領域を新たな解析対象領域に指定する（ステップS106）。ここで、一般には、複数の分割領域を解析対象領域に指定することになる。

【0047】これ以降、より不良ビット密度の高いビットマップデータの不良解析処理が行われる。すなわち、不良解析手段14は、次に不良ビット密度の高いLSIチップのビットマップデータを読み、上述したように

領域指定手段12によって指定された解析対象領域について不良解析を行なう（ステップS107）。この不良解析を終えた時点で、全てのビットマップデータの解析が完了していない場合は（ステップS108）、再び解析対象領域を分割して（ステップS103）、上述した処理を繰り返し、全てのビットマップデータの解析が完了している場合には全体の処理を終了する。

【0048】次に、図12を参照することにより、本実施形態の処理をより具体的に説明する。

【0049】ここでは、3つのLSIチップのビットマップデータの不良解析を想定しており、各々のビットマップデータのデータIDを1, 2, 3としている。また、これらのビットマップデータは、試験条件を順次厳しくした結果生成されたものであり、不良の分布傾向は同一であるが、不良数は例えば4倍ずつ増加するものである。すなわち、データID1のビットマップデータの不良数は4N、データID2の不良数は16N、データID3の不良数は64Nである。また、解析対象領域は、ビットマップデータの全領域に設定されているものとする。

【0050】これらの条件の下、まず、不良密度の一番低いデータID1のビットマップデータの不良解析がビットマップデータの全領域に亘って行なわれる（図13a参照）。続いて、分割形状が縦2分割、横2分割の格子状4分割に設定され（図13b参照）、データID1の解析対象領域が格子状の4つの分割領域A, B, C, Dに分割され、各分割領域A, B, C, Dについて不良解析が行われる。

【0051】この不良解析の結果、分割領域B, Cの不良分布が同一で、分割領域A, Dの不良分布はそれぞれ異なっていた場合、分割領域B, Cについてはどちらか一方の領域で不良解析を代表させれば良いので、例えば分割領域Bを代表領域とする。また、分割領域A, Dについては、各々が分割領域B, Cとは異なる不良分布なので、そのまま代表領域となる。したがって、代表領域に選定された分割領域A, B, Dが解析対象領域となる。

【0052】次に、データID2のビットマップデータを読み、上述したように解析対象に選定された領域A, B, Dについて不良解析を行なう（図12c参照）。上記解析が終了した時点で、まだ未解析のデータID3のビットマップデータがあるので引き続いて処理を続行し、データID2の分割領域A, B, Dについて再分割を行なう。ここで、分割領域をE~Pとし、各分割領域E~Pについて不良解析を行なう（図13d参照）。

【0053】この結果、分割領域E~Hの不良分布が同一、分割領域Iと分割領域Kの分布が同一、分割領域Jと分割領域Lの分布が同一、分割領域M~Pの不良分布は各々に異なっていた場合、分割領域E~Hについては

何れか一つの領域で不良解析を代表させれば良く、例えば分割領域Eを代表領域とする。分割領域Iと分割領域Kについてもどちらか一方の領域で代表させれば良く、分割例えば領域Iを代表領域とすることができる。

【0054】また、分割領域Jと分割領域Lについてもどちらか一方の領域で代表させればよく、例えば分割領域Jを代表領域とする。さらに、分割領域M～Pについては、各々に不良分布が異なるので、そのまま代表領域となる。したがって、データID2のビットマップデータについては、分割領域E, I, J, M, N, O, Pを

解析対象領域に設定する。  
【0055】続いて、データID3のビットマップデータの解析対象領域を求めるために、データID3のビットマップデータが読まれ、上記のように選択された分割領域E, I, J, M, N, O, Pについて不良解析を行なう(図13e参照)。なお、以降の処理は、上述し\*

$$\begin{aligned} T_a &= C \cdot 64N(64N-1)/2 \\ &= 32C \cdot N(64N-1) \end{aligned} \quad (4)$$

$$\begin{aligned} T_b &= 7 \cdot C \cdot 4N(4N-1)/2 \\ &= 14C \cdot N(4N-1) \end{aligned} \quad (5)$$

例えば、不良分布の傾向が全ての分割領域について同一だった場合には、代表領域は分割領域Eだけとなるので、 $16 \times 16 = 256$  倍の解析時間短縮が実現できる。

【0058】

【発明の効果】以上説明したように、本発明に係わるLSI不良解析装置及び方法は、以下のような効果を奏する。

(1) 特定の分割領域に限定して不良解析処理を行なうため、解析対象の不良数を減らすことができ、解析処理に要する時間を短縮することができる。全不良ビットについて解析する場合でも、領域を分割して各分割領域毎に不良解析を行なうことで、遠く離れた不良ビットについては解析対象から除外することができ、解析処理に要する時間を短縮することができる。

(2) また、領域分割は不良ビットの密度に応じて動的に行われるので、解析するデータが増えたとしても、それに応じて最適な領域分割を行なうことにより柔軟に対応することが可能であり、解析処理時間の増大を抑制することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態の機能構成を示すブロック図である。

【図2】 本発明の第1実施形態における解析対象領域の指定方法を説明する説明図である。

【図3】 本発明の第2実施形態の機能構成を示すブロック図である。

【図4】 本発明の第2実施形態における解析対象領域の分割方法を説明する説明図である。

\*た場合と同様なので、説明を省略する。そして、このようにして、全てのビットマップデータの不良解析が完了すると、全体の処理が終了される。

【0056】本実施形態のように、領域分割に加えて不良ビットの分布状態に基づいて解析対象領域の選別を行なうことにより、複数のビットマップデータの不良解析を行う場合のトータルの解析時間を短縮することができる。例えば、データID3のビットマップデータにおいて、領域分割により16倍(=分割数)、さらに領域選別によって、 $16/7$  倍の解析時間の短縮を実現することができる。データID3の解析を領域分割をしない場合の解析時間 $T_a$ は下式(4)によって表されるのに対して、図13eの場合の解析時間 $T_b$ は、式(5)のように表される

【0057】

【図5】 本発明の第2実施形態の効果を説明する説明図である。

【図6】 本発明の第3実施形態の機能構成を示すブロック図である。

【図7】 本発明の第3実施形態の動作を示すフローチャートである。

【図8】 本発明の第3実施形態における解析対象領域の分割方法を説明する第1の説明図である。

【図9】 本発明の第3実施形態における解析対象領域の分割方法を説明する第2の説明図である。

【図10】 本発明の第4実施形態の機能構成を示すブロック図である。

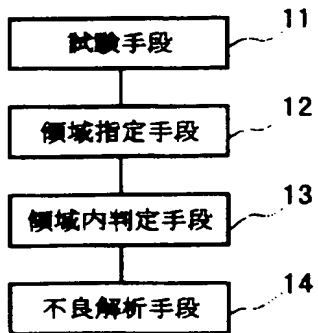
【図11】 本発明の第4実施形態の動作を示すフローチャートである。

【図12】 本発明の第4実施形態における解析対象領域の分割方法を説明する説明図である。

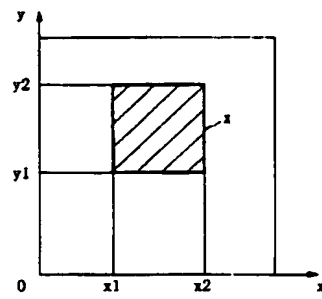
【符号の説明】

- 11 ……試験手段
- 12 ……領域指定手段
- 13 ……領域内判定手段
- 14 ……不良解析手段
- 21 ……領域分割手段
- 41 ……不良数しきい値設定手段
- 42 ……分割形状設定手段
- 43 ……不良数カウント手段
- 44 ……領域再分割手段
- 51 ……分割形状設定手段
- 52 ……領域再分割手段
- 54 ……不良分布比較手段

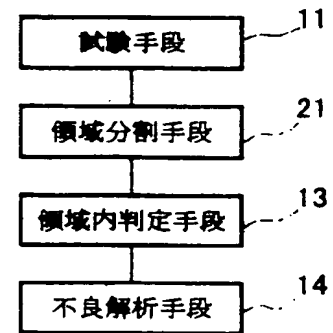
【図1】



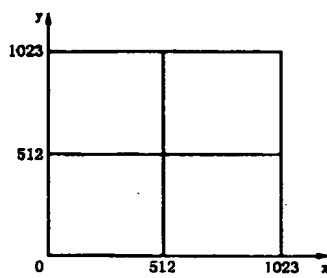
【図2】



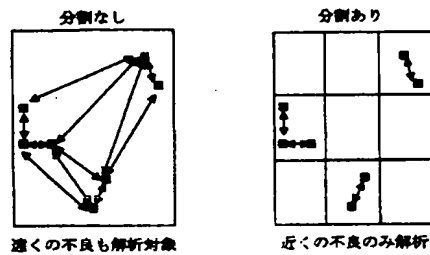
【図3】



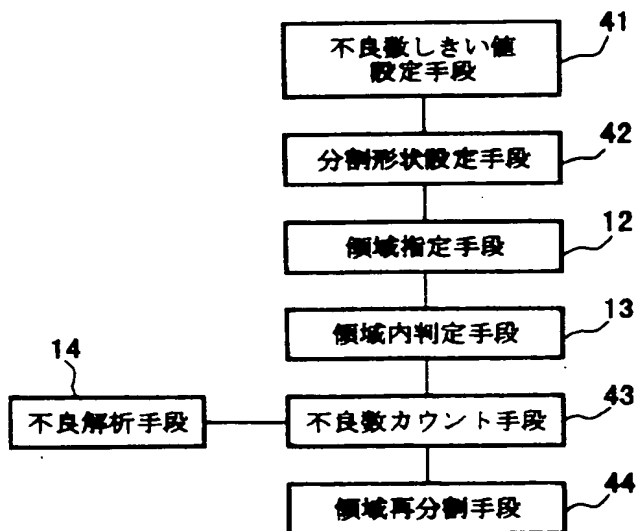
【図4】



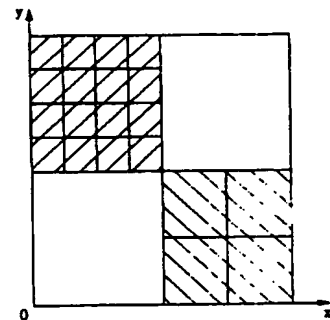
【図5】



【図6】

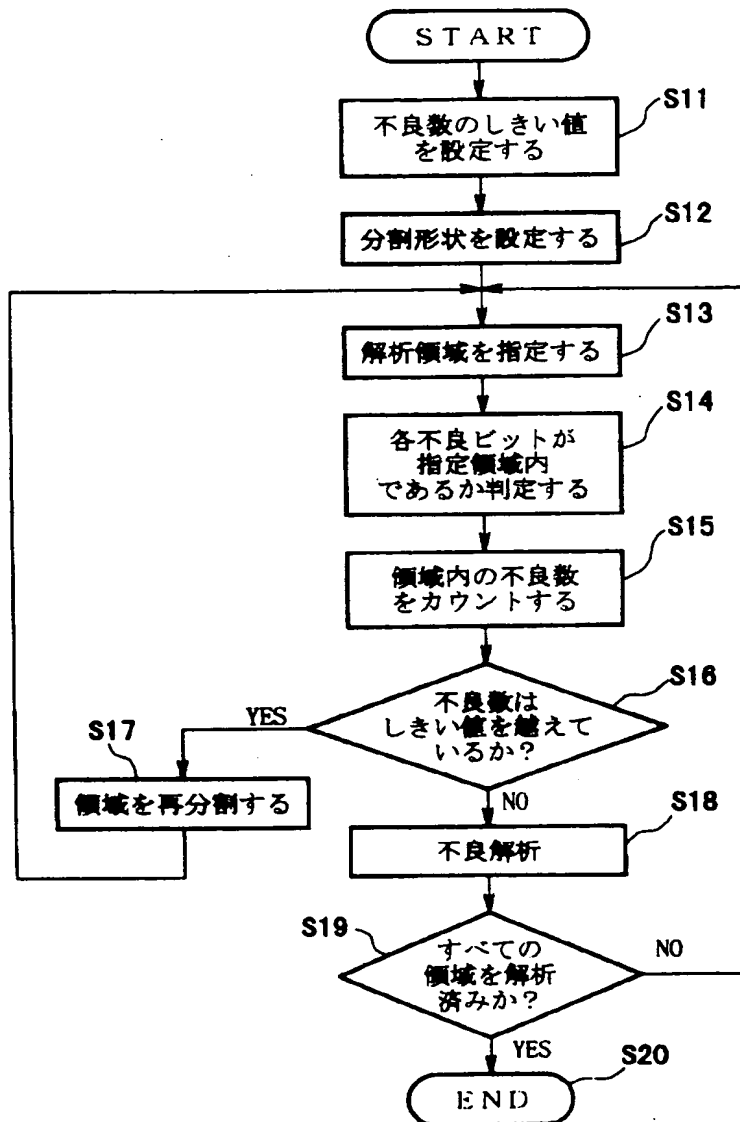


【図9】

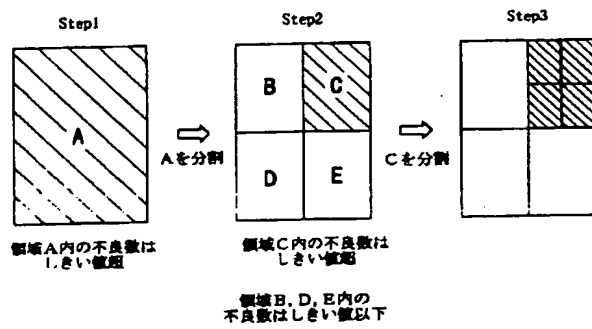




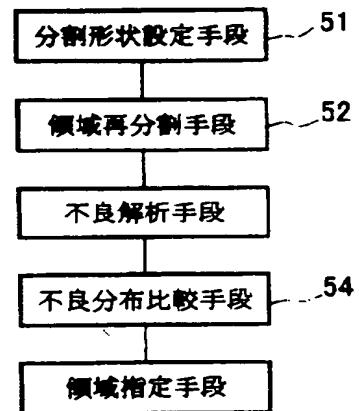
【図7】



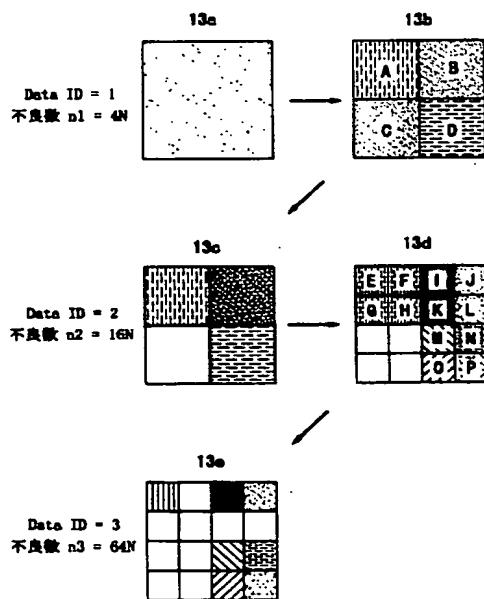
【図8】



【図10】



【図12】



【図1.1】

